

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭57-124469

⑫ Int. Cl.³
H 01 L 29/06
29/72
29/74
29/76
29/80
29/86

識別記号
7514-5F
7514-5F
6749-5F
7377-5F
7925-5F
6749-5F

⑬ 庁内整理番号
7514-5F
7514-5F
6749-5F
7377-5F
7925-5F
6749-5F

⑭ 公開 昭和57年(1982)8月3日
発明の数 1
審査請求 未請求

(全 18 頁)

⑮ 高電圧半導体装置

⑯ 特 願 昭56-197805

⑰ 出 願 昭56(1981)12月10日

優先権主張 ⑬ 1980年12月10日 ⑭ イギリス
(GB) ⑮ 8039499

⑯ 発明者 ディビッド・ジェームス・コエ
英国サーイー・レッドヒル・ミ

ードヴェイル・クラレンス・ウ
オーク31

⑰ 出願人 エヌ・バー・フイリップス・フ
ルーランバンフアブリケン
オランダ国アンドーフエン
エマシングル29

⑯ 代理人 弁理士 杉村暁秀 外1名

明細書

① 発明の名称 高電圧半導体装置

② 特許請求の範囲

1. 半導体本体と、少なくとも該装置が高電圧動作モードの時の半導体本体の一部を貫めいて空乏層を形成する手段とを具える高電圧半導体装置において、上記半導体本体部が第1の導電形の第1の領域を複数個具え、その間に反対の第2の導電形の第2の領域がはさみ込まれ、これらの第1と第2の領域の全数が少なくとも2個であり、少なくとも上記第1の領域が少なくとも一つの装置の動作モードの時前記本体部を貫めいて延在する電気的に並列な電流路を提供し、前記高電圧動作モードでは前記第1と第2の領域が自由キャリヤを持たない空乏状態になつて正と負の空間電荷領域が交互に並ぶ形となり、これにより空乏層が半導体本体部内に拡がることにより自由キャリヤが排除された時この半導体本体部にかかる高電圧を担い、前記第1と第2の領

域の各々の厚さとドーピング濃度とを前記空乏層により自由キャリヤが排除された時前記の交互に積層された領域の各々に形成される単位面積当たりの空間電荷が少なくとも、上記空間電荷により形成される電界がこれを越えればなだれ降伏が前記半導体本体部で生ずるであろう臨界電界強度よりも低くなる程度にバランスさせることを特徴とする高電圧半導体装置。

2. 前記第1と第2の領域を半導体本体の主表面にはば平行に延在する交互積層層の形態としたことを特徴とする特許請求の範囲第1項記載の高電圧半導体装置。

3. 前記主表面から切った構内に前記第1の領域同士を電気的に接続する手段と、前記第2の領域同士を電気的に接続する手段とを設け、構の側壁で夫々の領域同士をコンタクトさせることを特徴とする特許請求の範囲第2項記載の高電圧半導体装置。

4. 前記構の断面をV字形としたことを特徴と

- する特許請求の範囲第3項記載の高電圧半導体装置。
5. 前記半導体本体の第3の領域であつて、第1の導電形であり、前記接合形成手段から隔つた区域で前記第1の領域に接する領域により前記第1の領域同士を電気的に互に接続したことを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。
 6. 前記交互積層領域の一端に設けられ、前記第1の領域との間にショントキー接合を形成する金属ベース層により前記空乏層を形成したことを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の高電圧半導体装置。
 7. 前記半導体の別の領域であつて、第3の導電形で前記第1の領域の各々の一端との間にpn接合を形成する領域により前記空乏層を形成したことを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の高電圧半導体装置。
 8. 一つの動作モードでは電流が少数キャリヤとして少なくとも前記第1の領域を使って前記半導体本体部を貫めいて電流が流れ、装置の動作モードがもう一つのモードに切り替えられた時上記少数キャリヤが交互積層領域間のpn接合を越えて拡散されることを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。
 9. 前記半導体装置にバイポーラトランジスタを設け、前記交互積層領域がこのバイポーラトランジスタのベースとコレクタの間接部を提供することを特徴とする特許請求の範囲前記各項のいずれかに記載の高電圧半導体装置。
 10. 前記半導体装置に電力用整流ダイオードを設け、前記交互積層領域がこの整流ダイオードのアノードとカソードの間の中間領域を形成することを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の高電圧半導体装置。
 11. 前記半導体装置に接合ゲート形電界効果トランジスタを設け、前記交互積層領域を上記電界効果トランジスタのソースとドレインとの間に存在させ、前記第1の領域がこの電界効果トランジスタのチャネル領域を提供し、前記第3の領域が電界効果トランジスタのゲートに接続され、このゲートの拡張部として働くことを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の高電圧半導体装置。

12. 前記ゲートが第3の導電形の別の領域となり、前記第1の領域の各々の一端とpn接合を形成することを特徴とする特許請求の範囲第11項記載の高電圧半導体装置。
13. 前記半導体装置に絶縁ゲート形電界効果トランジスタを設け、そのソースを第3の導電形の別の領域により前記交互積層領域から分離し、少なくとも1個のゲートを上記別の領域から絶縁し、この別の領域内に導電性チャネルを容積的に発生させ、前記第1の導電形のキャリヤを電界効果トランジスタのソース

とドレインとの間に流し、前記交互積層領域を上記の別の領域とトランジスタのドレインとの間に設け、前記第1の領域を更に上記ドレインの拡張部として役立てることを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の高電圧半導体装置。

14. 前記半導体装置に導電形が第1の上述した電界効果トランジスタに対して相補的な第3の絶縁ゲート形電界効果トランジスタを設け、前記第3の領域をこの第3のトランジスタのドレイン拡張部として役立て、第1の導電形の他方の領域との間にpn接合を形成し、このもう一つの領域が交互積層領域を第3のトランジスタのソースから分離し、上記第3のトランジスタの少なくとも1個のゲートを前記他方の領域から絶縁してこの他方の領域内に導電性チャネルを容積的に発生し、前記第3の導電形のキャリヤを前記第3のトランジスタのソースとドレインとの間に流すことを特徴とする特許請求の範囲第11項記載の高電

圧半導体装置。

13. 前記半導体本体を半導体層を複数個重複した形態として前記交互積層領域を構成し、この最下層の層を絶縁基板の上に取り付けることを特徴とする特許請求の範囲第10項ないし第14項記載のいずれかに記載の高電圧半導体装置。
14. 前記半導体装置に導電形が相補的な2個の回路要素を設け、これらの回路要素を前記半導体本体部を横切つて並列に接続し、交互積層された第1又は第2の領域が一方の回路要素の電気的に並列な電流路を提供し、これらの間に相補的な回路要素の電気的に並列な電流路を差し込んだことを特徴とする特許請求の範囲第1項ないし第14項のいずれかに記載の高電圧半導体装置。

接する本体部との間にpn接合を形成する本体の一領域とすることができる。而して接する本体内に空乏層が拡がることにより逆バイアスがかかっているpn接合の降伏電圧を制御して例えば100Vを越え、しばしばもつとずっと高い高電圧を取り扱えるパワー半導体装置を形成できることが知られている。

空乏層が大きく拡がり、従つて降伏電圧が高くなるようにするために関連する本体部を導電形を決める不純物のドーピング濃度が低く、従つて高抵抗率の一導電形の拡張領域とすることが知られている。殊にいくつかのパワー整流ダイオード及び電界効果トランジスタ構造ではpn接合に接する低ドープ本体部が例えば約 10^{14} 又は 10^{15} 原子/cm³というドーピング濃度を有するにもかかわらず実効的に真性半導体材料から成るものと考えられる。而してこのように抵抗率が高い本体部はこれらの半導体装置で使用される高い動作電圧がかかつた時十分に空乏化され、このため印加された逆バイアス電圧がこの本体部を横切つて延在する

・発明の詳細な説明

本発明は専らという訳ではないが、殊に1個又は複数個の電界効果形ペワートランジスタ並びに整流器及びバイポーラトランジスタのような他のタイプのパワー半導体装置又はそのいずれか一方を具える高電圧半導体装置に関するものである。

半導体本体と少なくとも高電圧動作モード時に本体の一端を貫いて空乏層を形成する手段とを具える高電圧半導体装置が知られている。而して既知の高電圧半導体装置では上記本体部が一導電形になつていて、これは空乏層の形成が半導体装置の特定の型と形状とに依存することを意味する。空乏層はバイアスゲートを半導体本体から分離する障壁層にかかる電界効果作用により本体部内に形成することもできるが、もつと普遍に行なわれるには本体部に隣接する接合形成手段により本体部内に形成された整流接合に逆バイアスをかけることにより空乏層を設けるものである。上記接合形成手段は例えば半導体本体上にデポジットされ、ショットキー接合を形成するメタルベース層又は

空乏層で電圧降下することが多い。従つて降伏電圧を所望通り高くするためには本体部の抵抗率（従つてドーピング濃度の逆数）を所望する電圧にはほぼ比例して高くとり、本体部の長さを所望する電圧にはほぼ比例して長くして空乏層が速く拡がるのに備える必要があることが一般に知られている。

殊に電界効果トランジスタ及びショットキーダイオードのような多段キャリヤ装置ではON状態で半導体装置を流れる電流がこの本体部を横切る必要があり、従つてその抵抗率と長さを増すと電流路の直列抵抗率が所望の逆電圧のほぼ二乗に比例して大きくなる。しかし、これは所定の最大熱放散時の半導体装置の電流取扱能力を制限する。注意すべきことはここでいう直列抵抗率（Ω・cm²）は所定の長さ（cm）と単位断面積（1cm²）とを有する電流路に沿つての直列抵抗（Ω）であることである。

それ故このようなON状態ではキャリヤを流し、OFF状態では動作電圧をブロックするように同一

本体部を使う使い方は周知のように半導体装置の動作電圧により直列抵抗に制限を課する結果になる。そしてこのため不本意ながらパワー半導体装置の電圧及び電流取扱能力が限られてくる。

また、PIN整流器又はバイポーラトランジスタのような少數キャリヤ装置のターンオフ速度を高めるためには、既に高抵抗率の本体部内に注入された少數キャリヤを迅速に取り除く必要がある。これを実行するため本体部内に金のような再結合中心をドープすることが知られているが、このような再結合中心はライフタイムキラーとして働き、ON状態では本体部の直列抵抗が高くなり、OFF状態では逆バイアスがかかつている接合部を越える漏泄電流が大きくなってしまうという欠点がある。

本発明によれば半導体本体と、少なくとも該装置が高電圧動作モードの時この半導体本体の一部を貫ぬいて空乏層を形成する手段とを異なる高電圧半導体装置において、上記半導体本体部が第1の導電形の第1の領域を複数個見え、その間に反対

導体装置の設計者に大きな自由を与える。本発明によれば電気的に並列な電流路があるが、これは電流路が1本だけの既知の半導体装置と比較して本体部を通る直列抵抗を著しく小さくする。第1と第2の領域を十分に空乏化した時この本体部の交互積層され且つほぼバランスしている構造はマクロなスケールで見て実効的に真性材料であるかのように振るまい、このため100Vを越え、更にもつとずっと高い電圧取扱能力を与える。

単位面積当たりの空間電荷は前記本体部内ではほぼバランスしているから第1と第2の領域は各領域のビンチオフ電圧以上の相対的に低い電圧を印加しただけでもそれらの厚さ全体に亘って自由キャリヤが排除され空乏層となる。このビンチオフ電圧は交互積層構造の互に接する領域間に形成されるPN接合から領域中に空乏層が拡がることにより一つの領域に沿つての電流路がビンチオフされる電圧であり、その値は当該領域の厚さとドーピング濃度とに依存するが例えば±0.5Vのレンジに入る。それ故このビンチオフ値以上の電圧

の第2の導電形の第2の領域がはさみ込まれ、これらの第1と第2の領域の全数が少なくとも4個であり、少なくとも上記第1の領域が少なくとも一つの装置の動作モードの時前記本体部を貫ぬいて短在する電気的に並列な電流路を提供し、前記高電圧動作モードでは前記第1と第2の領域が自由キャリヤを持たない空乏状態になって正と負の空間電荷領域が交互に並ぶ形となり、これにより空乏層が半導体本体部内に拡がることにより自由キャリヤが排除された時この半導体本体部にかかる高電圧を担い、前記第1と第2の領域の各々の厚さとドーピング濃度とを前記空乏層により自由キャリヤが排除された時前記の交互に積層された領域の各々に形成される単位面積当たりの空間電荷が少なくとも、上記空間電荷により形成される境界がこれを越えればなだれ降伏が前記半導体本体部で生ずるであろう降伏電界強度よりも低くなる程度にバランスさせることを特徴とする。

このような本発明に係る半導体装置構造は所望通りの電圧及び電流取扱能力を得る上でパワー半

を印加した時前記の交互に積層した第1の領域と第2の領域内の空乏化した区域内の前記本体部がマクロのスケールで見た時実効的に真性材料から成るかのように振る舞う。又し、正の空間電荷と負の空間電荷が交互に積層され且つほぼバランスしているからである。これによりこの交互積層構造では降伏電圧が高く、更に交互積層領域の長さを増せばこの降伏電圧を一層高くとれる。それ故このような本発明半導体装置は少なくとも200V、多くはもつと高く例えば500V、更には一層高く1000V以上で動作するように設計することができる。

交互積層領域は前記本体部を貫いて良好な電流路を与えることができる。その場合各領域内の単位面積当たりの空間電荷を隣接する領域内の空間電荷とほぼバランスさせると共に半導体の降伏電界により決まる一定の降伏値以下にとどめねばならない。これらの制限の範囲内で本発明に係る半導体装置の設計者は個々のドーピング濃度と厚さの点で相当な自由を有し、各交互積層領域毎に可成

り自由に選択できる。このようにして各領域の厚さを薄くし、ドーピング濃度を高めることにより、本体部の実効ドーピング濃度を降服電圧を考慮せずに高めることができる。このようにして驚くべきことに本体部の直列抵抗率が降服電圧にはほぼ比例する電力用半導体装置を設計することができる。それ故直列抵抗率が降服電圧の二乗に比例する既知の半導体装置で生ずるのと同程度に降服電圧がドーピング濃度により制限されないですむ。このためドーピング濃度を高くして直列抵抗を低くし、大電流を流せるようにすることができる。この場合ON状態で流れる電流は後述するように半導体装置のタイプ如何により第1の領域若しくは第2の領域又は両方を通過して流れる。少數キャリヤ装置のターンオフに関する限り、交互積層され且つ電気的に並列な電流路が注入された少數キャリヤを迅速に排除し、改めて再結合中心を入れなくても高速でターンオフさせることができる有効な手段を提供する。

これらの領域で多數キャリヤによる電流を流せ

ンスが得られるようとする。この交互積層領域の層構成によれば領域間の電気接続も簡単になる。これは例えば主表面から局所的に交互積層層を貫めいて領域を延在させることにより実行することができる。このような領域は基板の界面とエピタキシャル層の外側主表面との両方からドーベントを抜散させることにより拡散領域を侵入させて形成することができる。しかし、この場合全交互積層構造が厚いとこの厚い構造を貫めいて深い領域を延在させる製造工程が不本意ながら既に設けられている交互積層層の特性に悪影響を与えることがある。それ故このような深い領域は避けるのが望ましく、そしてこれは本体の主表面から溝を切ることにより簡単に実現できる。斯くして好適な実施例では前記第1の領域同士を電気的に接続する接続手段と、前記第2の領域同士を電気的に接続する接続手段とを上記の主表面から切った2つの溝内に夫々設け、夫々の領域を溝の隔壁で接觸させる。これらの溝は断面がU字形でもV字形でもよく、これは異方性エッチングにより正確に設

るようするには、個々の溝を余りに薄くして零バイアス状態で完全に空乏化し、当該領域の電流路をピンチオフすることができないようにしなければならない。このため寸法が与えられている本体部内に設けることができる交互積層領域の最大数（従つて電気的に並列な電流路の最大数）には限度がある。任意の特定の半導体装置に設けることができる所定の厚さの交互に積層された第1と第2の領域の全数は例えば半導体本体の幾何学的構造及び方位、半導体本体の寸法及び半導体装置の製造に含まれる技術的ファクタにより制約される。

第1の領域と第2の領域とは半導体本体の主表面にはほぼ平行に存在する交互積層の形態とすることができます。交互積層領域のこの特別な方向は殊に製造が簡単で、例えば基板上に交互に導電形が変わる層をエピタキシャル成長させて簡単に作ることができます。そして基板は第1の領域又は第2の領域の一つとなつてもよいが、そうでなくてもよい。各層のドーピング濃度及び厚さは注意して制御し、層同士の間に必要とする空間電荷のバラ

けることができる。好適なのは断面がV字状のV溝を用いることである。蓋し、V溝にすれば溝の隔壁している側壁上に容易に且つ明確に種々の領域を設けることができ且つこれらの側壁をデボリット層により良好に被覆できるからである。

第1の領域同士はメタライゼイションにより互に電気的に接続することができる。しかし、交互積層構造の配置と方位とに依存するが一般に第1の領域と第2の領域とが短絡することを第2の領域との間にpn接合を形成する第3の領域を用いることにより簡単に回避できる。斯くして半導体本体の第3の領域により前記第1の領域同士を互に電気接続するのであるが、この第3の領域を第1の導電形とし、前記接合形成手段から離れた区域で前記第1の領域と接するようとする。

空乏層を形成する手段の性質は半導体装置の形と形状とにより変つてくる。一つの形態では、ゲートを形成する導電層を隔壁層（例えば、隣接層）により半導体本体から分離し、ゲートに適当にバイアスをかけて隔壁層に電界効果作用を及ぼすこ

とにより空乏層を形成する。もう一つの形態では半導体本体内の整流接合に逆バイアスをかけることにより空乏層を形成する。而してこのような整流接合を形成する手段は前記交互積層領域の一端上に設けられ、前記第1の領域との間にショットキー接合を形成するメタルベース層を具える。別の接合形成手段は前記本体のもう一つの領域を設け、このもう一つの領域を第2の導電形として前記第1の領域の各々の一端との間にpn接合を形成するものである。

本発明は多段キャリヤ装置であれ少段キャリヤ装置であれ、多くのタイプの半導体装置、例えば電力用整流器、サイリスタ、バイポーラトランジスタ及び電界効果トランジスタで利用することができる。本発明のような交互積層領域を設ける構造を用いる利点は電圧及び/又は電流取扱能が向上することである。

このようにして一つの形態では前記半導体装置が電力用整流ダイオード（例えばショットキーダイオード又はPINダイオード）を具え、前記交互

成するメタルベース層とすることもできるし、また第2の導電形で前記第1の領域の各々の一端との間にpn接合を形成する別の領域とすることもできる。後述するようにこのような接合ゲート形電界効果トランジスタがON状態で動作する時第1の領域と第2の領域との間のpn接合にはむしろ順方向バイアスがかかり、少段キャリヤが注入され、導電率変調により直列抵抗率が下がる。このような動作モードは上述した少段キャリヤをターンオフ時に交互積層領域とゲートとを介して簡単に排除できる場合に有益である。

本発明に係る絶縁ゲート形電界効果トランジスタは前記半導体装置に絶縁ゲート形電界効果トランジスタを設け、そのソースを第2の導電形の別の領域により前記交互積層領域から分離し、少なくとも1個のゲートを上記別の領域から絶縁し、この別の領域内に導電性チャネルを容量的に発生させ、前記第1の導電形のキャリヤを電界効果トランジスタのソースとドレインとの間に流し、前記交互積層領域を上記の別の領域とトランジスタ

・積層領域がこの整流ダイオードのアノードとカソード間の中間領域を形成する。もう一つの形態では前記半導体装置がバイポーラトランジスタを具え、前記交互積層領域が前記トランジスタのベースとコレクタの隣接する部分を提供する、^{もう一つの}形態では前記半導体装置がサイリスタを具え、前記交互積層領域がサイリスタのベース領域の隣接する部分を形成する。

交互積層構造の種々の部分を接合ゲート形であれ、絶縁ゲート形であれ、電界効果トランジスタの部分に用いると殊に好適である。

このようにして本発明に係る接合ゲート形電界効果トランジスタは前記半導体装置に接合ゲート形電界効果トランジスタを設け、前記交互積層領域を上記電界効果トランジスタのソースとドレインとの間に存在させ、前記第1の領域がこの電界効果トランジスタのチャネル領域を提供し、前記第2の領域が電界効果トランジスタのゲートに接続され、このゲートの拡張部として動らくことを特徴とする。上記ゲートはショットキー障壁を形

・のドレインとの間に設け、前記第1の領域を更に上記ドレインの拡張部として役立てることを特徴とする。

このような半導体装置は造んでは前記半導体装置に導電形が第1の上述した電界効果トランジスタに対して相補的な第2の絶縁ゲート形電界効果トランジスタを設け、前記第2の領域をこの第2のトランジスタのドレイン拡張部として役立て、第1の導電形の他方の領域との間にpn接合を形成し、このもう一つの領域が交互積層領域を第2のトランジスタのソースから分離し、上記第2のトランジスタの少なくとも1個のゲートを前記他方の領域から絶縁してこの他方の領域内に導電性チャネルを容量的に発生し、前記第2の導電形のキャリヤを前記第2のトランジスタのソースとドレインとの間に流すことを特徴とする。

電界効果トランジスタ及びその他の半導体装置にとつて、前記半導体本体を半導体層を複数個重疊した形態として前記交互積層領域を構成し、この最下層の層を絶縁基板の上に取り付けるように

すると有利である。

サファイアの絶縁性基板の上に單一のP形シリコン層を設けた電界効果トランジスタが1979年に米国ワシントンで開かれた1979インターナショナル・エレクトロン・デバイシーズ・ミーティング(I. E. D. M.)で発表され、I. E. E. E. から刊行されたアイ・イー・ディー・エム・ダイジェスト(1979)の第394頁から第397頁にのつてあるエツチ・サクマ、テイー・クリヤマ及びテイ・スズキによる「A High Voltage Offset - Gate SOS/MOS Transistor」(A High Voltage Offset - Gate SOS/MOS Transistor)と題する論文に記載されている。これによればP形層内にn形ソース領域(n^+)とn形ドレイン領域(n^+)とを設け、イオン注入によりビンチ抵抗を設ける。ビンチ抵抗は單一のn形表面領域であつて極性は反対だがP形層と同量の単位面積当たりの不純物を有するよう作られた領域である。この單一抵抗領域はP形層とその上面だけで成る。兼し、この表面領域は

これと対照的に本発明によれば直列抵抗率は動作電圧の設計値が高くなるのに比例して高くなるだけである。

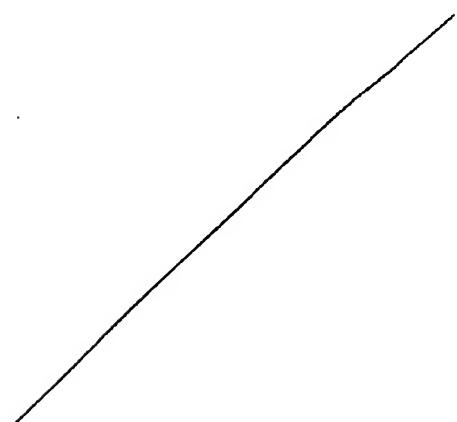
ドレイン領域の電流を流す拡張部を形成し、トランジスタの絶縁ゲートの下に延在し、全長のうちの一部分でこのゲートにより制御される。

n形表面領域とその下に延在する層のP形部とはオフセットゲート・ピンチオフ電圧に等しい低いドレイン電圧以上でこの層を垂直方向に貫ぬいて空疎化するように設計されているから、この既知のトランジスタは全く高い降伏電圧特性を示す。この特性は層のドーピングレベルによる制約は受けないが、ゲートが n^+ ドレイン領域からオフセットされる長さ(L_R)に依存する。この長さ L_R はピンチオフ抵抗のゲートの直下ではない部分の長さに等しい。而してこの既知のトランジスタのドレイン降伏電圧(BV_{DS})とON抵抗(R_{ON})とはオフセットゲート長 L_R にほぼ比例して増大することが判明した。しかし、これでは唯一のピンチ抵抗領域がチャネルからドレインへの唯一の電流路を与えるだけであるから、直列抵抗率はここでも前述した他の既知の半導体装置と同じくほぼ所要の降伏電圧の二乗に比例する。

実施例を挙げて図面につき本発明を詳細に説明する。

注意すべきことは第1、2、4～6及び10～14図は略図であつて、寸法通りではないことである。図面を簡明ならしめるためこれらの図面のいくつかの部分の相対的寸法及び比率は誇張され或は、縮少されている。一例で用いられたのと対応又は類似する他の例の部分は一般に同一符号を付してある。

第1図は本発明に係る高電圧半導体装置の多くの種々のタイプで用いられるP形領域とn形領域が交互に積層する構造(交互積層構造)の一つの簡単で基本的な形態を示したものである。この半導体装置は(例えば単結晶シリコンの)半導体本体ノと少なくとも半導体装置が高電圧動作モードにある時半導体本体ノの部分ノを貫通する空疎層を形成する手段とを異える。第1図の構造では空疎層を形成するのに半導体本体ノ内の整流接合ノに逆バイアスをかける。このような整流接合は半導体本体の領域ノに金属性をベースにしたショント



・キー・コンタクトを設けることにより形成することができる。しかし、第1図では一例として領域3にP形領域10を隣接させてpn接合5を形成している。

本発明によれば、領域3は第1の導電形(例えばN形)の多数の領域11を異え、これらの間に反対の第2の導電形(例えばP形)の第2の領域12がはさまっている。少なくとも一つの動作モードの時少なくとも第1の領域11が本体領域3を貫めいて上記接合形成手段16の方向に延在する電気的に並列な電流道路を提供する。第1の領域11と第2の領域12の各々の厚さとドーピング濃度とは前記空乏層内の自由な電荷担体が排除された時の上記交互層構造領域11, 12の各々に形成される単位面積当たりの空間電荷が少なくともこの空間電荷のアンバランスにより形成される電界がそれを越すと領域11, 12でアバランシブレークダウンが生ずるであろう臨界電界強度よりも小さい程度でバランスがとれるようなものとする。第1の領域11と第2の領域12とは空乏層が領域3内に擴がることに

異なる。しかし、異形的な例では隣の深さは約10μmで相互間の距離は約100μmである。

第1図に示した隣11及び12は断面がV字状であつて、これは表面の結晶軸を<100>に選び、異方性エッチャントを用いることにより既知の様で形成することができる。領域11と12は例えば拡散又はイオン注入により隣11及び12の区域にドーパントを入れることにより形成することができる。而して低温アニーリング処理しか行なわないイオン注入の方が交互層構造11, 12に対して混乱を与えることが少ない点で一般にはより適している。半導体本体1の表面2上に形成するパンシベーション層21は隣11及び12の区域にコンタクト窓を有する。これらの窓を介してデポジットされた金属層電極11及び12は夫々領域11及び12と接触する。

空乏層となつた領域11及び12の各々に形成される単位面積当たりの空間電荷の量は当該領域の厚さとその導電形を決めるドーパントのドーピング濃度との種により与えられる。それ故、領域を離く

より自由な電荷担体が欠落した領域3にかかる高電圧を担う役割を演する。

隣接する第1の領域11と第2の領域12との間に形成されるpn接合6は整流接合5の拡張部として働く。第2の領域12同士はpn接合5で接合形、成手段を構成するP形領域10を介して一つに電気接続される。第1の領域11同士は接合形成手段16から離れている少なくとも一つの区域で(例えば同一導電形の領域13を介して)互に電気接続する。

第1図に示した特別な形態では半導体本体1が単結晶基板10上に交互に導電形の異なるエピタキシャル層11及び12を複数層積み重ね、本体部3の交互層構造領域11, 12を作る。それ故これらの領域11及び12は半導体本体1の上側主表面2にほぼ並列に延在する。領域11と12は夫々表面2に形成した隣11及び12内にあつて、これらの隣の側面で夫々交互層構造11及び12に接触している。層11, 12の数並びに隣11, 12の深さ及び間隔はどのようなタイプの半導体装置を作るのか、またどの程度の電圧及び電流を取扱えるようにしたかのかによつて

してもドーピング濃度を高くし、又はその逆を行なえば同一程度の空間電荷が得られ、それ故交互層構造の全ての層11及び12の厚さを薄くし、ドーピング濃度も薄くする必要はない。層11と12の間の空間電荷をバランスさせる必要があるが、これは各層11及び12のエピタキシャル成長中デポジットされる層の厚さとドーピング濃度とを注意深く制御することにより得られる。これらのパラメータはエピタキシャル成長及びその後の処理中例えば±10%の範囲内に制御することができる。高電圧動作時にpn接合5に逆バイアスをかけても空乏層となつた交互層構造11, 12でアバランシブレークダウンが生じないようにするため空乏層となつた本体部3の各領域11及び12の空間電荷による電界と本体部3の全厚さに亘る交互層構造11, 12の空間電荷の凡ゆるアンバランスの累積したもののによる電界とのいずれもが半導体内でアバランシ増倍が起こる臨界電界強度よりも小さくなければならない。シリコン本体のバルクではこの臨界電界強度は約 3×10^5 V·cm⁻²であり、これ

は完全に空乏層となる部分のドーベント量が高々約 $2 \times 10^{12} \text{ cm}^{-2}$ であることに対応する。それ故第1図に示したようなシリコンエビタキシャル構造では各層II及びIIのドーベント量を約 $4 \times 10^{12} \text{ cm}^{-2}$ 以下としく(著し、各層II, IIは両側から空乏化してゆくからである)、本体部3内の交互積層構造全体に亘つてのドーベント量の累積変動量を約 $2 \times 10^{12} \text{ cm}^{-2}$ より小さくする必要がある。代表的数値を挙げると、これらのエビタキシャル層II及びIIの厚さは0.24μと2μの間とし、これに対応するドーピング濃度は夫々約 $2 \times 10^{17} \text{ cm}^{-3}$ と $2 \times 10^{17} \text{ cm}^{-3}$ とする。

これらのドーピング濃度は従来技術で既知の高電圧半導体装置で見られる单一の高抵抗の真性被膜から成る接合に隣接する本体部内に空乏層が拡がつてゆく構造に対して用いられるドーピング濃度よりも相当に高い。本発明に係る交互積層層II及びIIは良好な本体部3を通り抜ける電流通路を提供し、その配置が電気的に並列になつていているため直列抵抗が著しく下り、電流取扱能力が高くな

る。また空乏化したN形層II内の正の空間電荷は空乏化されたP形層II内の負の空間電荷で挟まれているため、本体部3は高電圧動作時に空乏化された時マクロなスケールで見ると実効的に真性材料から成るかのように振る舞うよう見え、このため高電圧を取り扱えるようになる。夫々N形層II同士及びP形層II同士を一つに電気接続する領域II及びII(又は任意の他の接続手段)は空乏化された本体部3の両側(即ち高電圧を担う部分即ち交互積層層II及びIIの部分の両側)で電気接続を行ない、高電圧を担う部分3即ち本体部3内の交互積層層II及びIIの長手方向が一方の接続手段II又はIIから他方の導電形の層を一つに接続する他方の接続手段II又はIIに向けて存在するようになる必要がある。これは第1図の半導体装置構造では個々の構造II及びIIの側壁が主表面から交互積層層II, IIの厚さ方向に存在するようになることによつて達成される。

高電圧を担う空乏化された本体部3を形成する交互積層層II及びIIの長さを増すことにより電圧

取扱能力を高くすることができます。また交互積層層II及びIIの数を増すことにより電気的に並列な電流通路の数を増すことができる。この結果本発明交互積層層II及びIIを有するパワー半導体装置の本体部3の直列抵抗は前述した従来技術のパワー半導体装置のように所定の降伏電圧の自乗に比例するのではなく、所定の降伏電圧に比例して高くなるだけですむ。これを第3図に示すが、この第3図はVを単位とする降伏電圧に対する $\text{A} \cdot \text{cm}^2$ を単位とする直列抵抗率を両方とも対数スケールでとつたグラフである。このグラフは交互積層層II及びIIが構造IIの間に存在し、構造IIで層IIとオーミックコンタクトを行ない、構造IIで層IIとIIの両方に共通ショットキーコンタクトを行なう基本形態の半導体装置構造につき計算した結果に基づいている。直列抵抗率はこれらの2個の端のコンタクトの間に低いバイアスを印加するものとして計算してある。各層II及びIIのドーピング濃度は $4 \times 10^{12} \text{ cm}^{-2}$ としておいた。端のコンタクト間の層II及びII内の電流通路の長さは2個の端のコ

ンタクト間に設計通りの逆動作電圧を印加した時の層II及びIIの長さに沿つての最大電界強度が 10^5 V/cm となるように選んだ。全部の層II, IIが占める本体部3の深さ(即ち全積層構造の全厚さ)はこの長さの10%とした。そして全ての交互積層層II及びIIが丁度この深さに入るものとして計算した。

直線Aは層IIとIIの各々の厚さを1μとした時の直列抵抗率と降伏電圧の間の関係を示したものであり、直線Bは層IIとIIの各々の厚さを0.24μとした時のグラフである。注意すべきことはいずれの場合も直線的な正比例関係が成立することである。

また過去において既知の半導体装置では降伏電圧が夫々200V及び500Vの時必要な直列抵抗率が普通夫々 $2 \times 10^{-2} \text{ A} \cdot \text{cm}^2$ 及び $10^{-1} \text{ A} \cdot \text{cm}^2$ より大きいが、第3図に示すように本発明交互積層構造を有する半導体装置では著しく低い。即ち、層II及びIIの厚さが1μの場合は例えば200Vの時約 $7 \times 10^{-3} \text{ A} \cdot \text{cm}^2$ であり、500Vの時 $2 \times 10^{-2} \text{ A} \cdot \text{cm}^2$

であり、1000 V の時 2×10^{-2} A/cm² であり、他方 0.2 μm 厚の場合は 200 V の時 2×10^{-3} A/cm² 以下であり、500 V の時 4×10^{-3} A/cm² 以下であり、1000 V の時約 7×10^{-3} A/cm² である。

直線 A と B を比較すれば判かるように厚い層 II 及び II₂ を少数設けるよりも薄い層 II 及び II₂ を多数設ける方が一般には有利である。交互積層層 II 及び II₂ の全数は少なくとも 4 とし、普通は 6 とすつと多く（例えば 8 個以上）とし、本発明積層構造を用いることにより得られる利点を十分に享受できるようにする。本体部 3 の所定の深さに対し、収容できる層 II 及び II₂ の最大数は各個別層 II 及び II₂ がとり得る最小厚さにより決まる。しかし、各層 II 及び II₂ が余りに薄くなると、設計目標を十分再現性良く達成することがむずかしくなるおそれがある。また、層 II 及び II₂ で多数キャリヤの電流を流せるようにするためにには各層の厚さを薄くしだして零バイアス状態の時でも全体が空乏層化し、これにより層内の電流路がピンチオフすることのないようとする必要がある。

シであればバックペーパー層 25 を正に帯電させることができる。この場合最上層 II 又は II₂ の空間電荷が修正され、このような絶縁層の電荷を相殺しようとする。しかし、バックペーパー層 25 を（例えば酸素をドープした多結晶シリコンのように）半絶縁性材料を構成して電気的に中性にしてもよい。

上にエピタキシャル層 II 及び II₂ をのせる半導体基板は例えばサファイアのような絶縁材料又は例えばシリコンのような半導体材料とすることができる。而して第 1 図の基板 10 は第 2 の領域 II 及び接合形成領域 II₂ と同一導電形の半導体材料とし、それ自体本体部 3 との間に p-n 接合を形成する手段の形成部と考え得るようにすることができる。しかし、基板 10 は反対導電形の半導体材料とし、領域 II₂ との間に整流接合を形成する本体部の形成部とすることもできる。

基板 10 が交互積層構造 II₂ の最下層に対して反対の導電形の半導体基板である場合は、そのドーピング濃度及び厚さが接合 3 に逆バイアスをか

けた場合に生ずる空間電荷が交互積層構造 II₂ の空乏化した最下層に生ずる符号が反対の空間電荷とほぼ平衡するように選ぶ。このようにして基板 10 を第 1 と第 2 の領域 II 及び II₂ の一方としてもよい。

第 1 図に示した形態の半導体構造は多段キャリヤ装置である少段キャリヤ装置であり、多段の種々のタイプの高電圧装置、例えば電力用整流器、サイリスタ、バイポーラトランジスタ及び電界効果トランジスタに組み込んでその電圧及び/又は電流取扱能力を高めるのに利用することができる。動作時に電極 II 及び II₂ の一方に高電圧を印加し、他方の電極を常時接地するか又は低電圧を印加する場合は、一般に高電圧電極に開通する開を横方向から接地ないし低電圧電極に開通する開で取り囲み、（本体 1 の縁から分離する）ようにすべきである。これにより本体 1 の縁での降伏電圧問題を回避できる。

このような装置を第 2 図に示す。ここでは開 II₂ と電極 II₂ とが開 II₂ と電極 II₂ とを取り囲んでいる。

この場合電極 21 は開 22 の外側と本体 1 の縁との間に (パッシベーション層 21 又はより厚い絶縁層上に) 設けるワイヤボンディング又は他の外部接続のための拡張された区域 22a を有する。電極 21 の拡張された接続区域 22a 用のプラットフォームを与えるために、開 22 で層構造 11, 12 のメサ部を取り囲み、コンタクト領域 13 はこのメサ部の頂上に延在させ、電極 21 を介してこのメサ部の頂上の開 22 とをコンタクトさせる。第 2 図の略式平面図ではパッシベーション層 21 の拡がり及び半導体本体 1 内の種々の領域の拡がりを図面を簡明ならしめるため図示していない。V 槽 22 及び 22 を頂上の外縁に対応する 2 個の平行な実線と開の底の先端に対応する中央部の破線とにより示した。また電極 21 及び 22 の拡がりを第 2 図では縦に対応する実線で示した。

また、本発明に係る構造を有する半導体装置の電流取扱能力を大きくするために、開 22 及び、電極 21 と 22 及び領域 13 と 14 とを相互に重かみ合わせる。このような相互に重かみ合つた構造も第 2 図に

つて本体部 3 から迅速に排除される。同様に Y 形層 11 内の電子は X 形層 12 を介して急速に排除される。印加される逆電圧レベルが (例えは 5 ないし 20 V というレンジの) 低い方のビンチオフ値を越えると、pn 接合 6 に関連する空乏層が交互横層層 11 及び 12 で合体し、領域 13 と 14 の間の本体部 3 を完全に空乏化する。

第 4 図及び第 5 図は本発明に係る Y 槍付きエビタキシャル交互横層構造を多段キャリヤ構造、即ち接合ゲート形電界効果トランジスタに組み込んだものを示す。交互に導電形が変わる交互横層層 11 及び 12 は今の場合電界効果トランジスタのソースとドレインとの間に設ける。開 22 の側壁全体に亘つて延在する Y 形領域 13 がことでドレイン領域を形成し、このドレイン領域を第 1 図につき成明したのと同じ順序で電極 21 を介して外部接続する。図面を簡明ならしめるため絶縁層 21 と電極配線の詳細は第 6 図には示していない。

また開 22 にトランジスタのゲートを形成する Y 形領域 13 と、トランジスタのソース領域を形成す

示した。

第 2 図の構造の半導体装置は例えは唯 2 個の電子電極 21 及び 22 を有するだけの pn 接合を用いる電力用整流ダイオードに使うことができる。この場合交互横層層 11 及び 12 がダイオードのアノードとカソードの間の中間領域を形成し、実効的には PIN ダイオードの真正ベース領域に等しいと考えられる。しかし、既知の PIN ダイオードと比較すると所定の耐圧に対する並列抵抗率を著しく低くでき、このため本発明整流ダイオードは電圧及び / 又は電流取扱能力を大きくとれる。

このような pn 接合ダイオードは少段キャリヤ構造であつて、ON 状態で流れる電流は第 1 の領域 11 でも第 2 の領域 12 でも少段キャリヤで運ばれる。また交互横層構造にしたため、この半導体装置は本体部 3 内に金をドープして再結合中心を作らなくても、高速なターンオフが可能である。このようにして逆電圧を印加した時 Y 形層 12 内の少段キャリヤ (正孔) が pn 接合 6 を越えて P 形層 11 に引き込まれ、これらの電気的に並列な層に沿

る Y 形領域 13 との両方を越ける。第 6 図に示したように、これらの領域 13 及び 14 を局所的に交互に Y 槍の側壁を下り、交互横層層 11 及び 12 の端に至らしめ、隣接するゲート領域 13 及びソース領域 14 との間の区域を介してソース領域 14 を側壁延在させる。領域 13 及び 14 は既知のリトグラフィマスク技術を用いて局所的にイオン注入することにより作ることができる。ここで Y 形層 12 はゲート 10 の拡張部として動作し、ソース領域 14 及びドレイン領域 13 の間を結ぶチャネル領域を提供する Y 形層 12 をはさみ込む。ゲート 10 を用いて pn 接合 6 及び 6 に逆バイアスをかけ、開通空乏層に電界効果作用を生ぜしめ、これによりソース領域 14 及びドレイン領域 13 の間の電子流を制御し、終りにはバイアス電圧を領域 3 を完全に空乏化し、トランジスタをターンオフするに足るだけ高くする。OFF 状態ではトランジスタは前述した交互横層構造 11, 12 のため高ドレイン電圧を阻止することができる。

所要とあらばこのようなトランジスタが十分に ON 状態で動作する時層 11 及び 12 の間の pn 接合 6 に

・層方向バイアスをかけ、ゲートからチャネル領域IIに正孔を注入し、導電率変調により直列抵抗率を下げる。このような一風変った動作モードは本発明電界効果トランジスタでは有利である。蓋し、ターンオフ時に差し込まれた層IIとゲートIIとを介して少微キャリヤが容易に排除されるからである。

このトランジスタ構造で溝IIにソース電極とゲート電極とを設けるに当つては多くの異なる幾何学的構成方法をとれる。第5図に示した形態ではバッシベーション層IIが溝IIの側壁上に延在し、溝II内のゲート領域IIの区域に(第5図には示していないが)窓を有し、ゲート電極IIがこの窓を介して溝II内にあるゲート領域IIと溝IIの長手方向に沿つてコンタクトする。ゲート電極IIのソース領域II上にかぶさる部分は第5図に示すようにバッシベーション層IIでソース領域IIから絶縁する。バッシベーション層IIは溝IIの外側に窓を有し、ソース電極IIが溝IIの長手方向に沿つて延在し、上側主表面IIでソース領域IIとコンタクトす

る。そして基板10と最下層IIとの間にN形領域IIから延在するP形の短いもう一つの層を設けて溝IIに隣接する側で基板の空間電荷をバランスさせ、この区域に等電位面が密集しないようになることができる。このような埋込み界面層IIは第6図及び第7図に示すように複合ゲート形電界効果トランジスタ並びに本発明に係り且つ半導体基板10上に交互積層層II及びIIを有する任意の他の半導体装置に設けることができる。

隣接する溝IIとIIの間で湖つた第6図及び第7図の電界効果トランジスタの平均チャネル層の代表的値は約100μmである。層II及びIIの長さは障壁電圧に影響するだけでなく、トランジスタのID-V_{DS}特性(ソース-ドレイン電圧に対するドレイン電流の変化)が層の長さが増すほど一層五極管のようになり、層の長さが短くなる程一層三極管のようになる。

第6図及び第7図は第6図及び第7図のトランジスタ構造の修正例を示したもので、こゝでは本

・る。溝II内に延在するソースフィンガ (source finger)をソース領域IIの溝IIの外側に延在するこの部分により一つに接続し、ソース領域IIとその電極IIとの間のコンタクト区域を拡げる。

溝IIを溝IIで囲んだ相互かみ合せ電極配置を第8図を修正した形で再度採用し、ゲート電極IIとソース電極IIとを溝IIと関連させることができる。他の修正された形態ではP形基板10を十分高ドープにしてゲート領域IIに対するゲート接続を与え、ゲート電極を主表面IIではなく本体1の下面10で与える。

殊に半導体基板10を十分高ドープにした場合はこの半導体基板10内の空乏層の屈が隣接する溝IIから隣接する溝IIに至る長手方向に沿つて非常に大きく変化し、この半導体基板10内の空乏化された部分に生ずる空間電荷が相当に変化する。この場合基板10と最下層IIの反対の導電形のドーピング濃度を動作時にそれらの空間電荷が溝IIに隣接する部分でバランスするように選ぶことができる

発明によりチャネル絶縁ゲート形電界効果トランジスタを形成する。このトランジスタは複合ゲート形電界効果トランジスタに必要なN形ドレイン領域IIとドレイン電極を第6図及び第7図に示したのと同じ様で溝II内に配置する。しかし、溝II側では第6図及び第7図に示すように半導体領域、電極及び絶縁層の配置が異なっている。即ちこゝではN形ソース領域IIをP形領域IIを介して反対導電形の交互積層層II及びIIから分離している。そしてこれは例えばリトグラフィマスクや技術を用いて局所的にイオン注入することにより形成している。交互積層層II及びIIはN形ドレイン領域IIからP形領域IIにかけて延在し、P形領域IIの隣接するフィンガ部間の区域で溝IIの側壁に隣接する。またこゝではバッシベーション層IIではなくより薄い絶縁層IIをV溝II内に延在させ、バッシベーション層IIの窓でV溝IIの側壁を複数の絶縁層IIで導電性のゲート層IIを完全に領域II並びに層II及びIIの端から絶縁する。そして厚い方の絶縁層IIが溝II内のソース領域IIからゲー

ト層 β を絶縁する。

ゲート層 α は溝 α の周囲でP形ソース領域 β とN形層 γ の端との間にあるP形層 δ 内にP形導電性チャネルを容量的に発生させるのに役立つ。N形層 γ はドレイン領域 δ の抵抗部として働き、(トランジスタのON状態では)ソース領域 β から出てきた電子をN形層 γ に沿って湧起されたN形チャネルを介してドレイン領域 δ へ流す。OFF状態では前述したように空乏化した交互積層層 γ 及び δ が高ドレイン電圧を阻止する。

第7図の断面図は領域 δ の導電性チャネル区域に沿って切ったものである。絶縁層 α に設けた窓を介して主表面 β で溝 α に沿って存在するソース電極 β がソース領域 β とP形領域 δ の双方と接触する。溝 α でのソース領域の横方向での掘がりを第7図の断面図で破線で示した。

第6図及び第7図に示したIGFETはカチヤキルエンハンスマント形であるが、溝 α の側壁区域に隣接して第6図及び第7図のトランジスタ構造のソース領域 β 間に低ドープのN形領域を設けること

により容易にカチヤキルディプレンション形IGFETを作ることができる。

第6図及び第7図に示したカチヤキルトランジスタではN形層 γ が本体部 β を貫めいて電流を運ぶが、この同じ半導体装置にカチヤキルトランジスタ構造を入れて電流が層 γ と δ の両方を使って運ばれるようになるとともできる。この時の半導体装置は溝 α 側では第6図及び第7図に示したような構造を有するが、溝 β 側では第8図に示したような構造になる。その場合の等価回路図を第9図に示す。このトランジスタではN形領域 γ がP形領域 δ と同一形状をしており、カチヤキルトランジスタのドレインを形成するだけでなく、相補トランジスタ構造のゲートG(3)により、P形チャネルが湧起される領域も形成する。N形領域 γ にはN形ソース領域 β と同一形状でカチヤキルトランジスタ構造のソース領域を形成する別のP形領域 δ が存在する。

溝 β に設ける絶縁層及び電極構造はレイアウトの点で溝 α 側のそれと対応する。従ってゲートG

側は溝 β 内でチャネルに亘つて薄い絶縁層上に存在し、領域 β に亘つて厚い絶縁層 α 上に存在する。電極接続線D'は溝 β に沿つて存在し、絶縁層 α に形成した窓を介して領域 β と γ の両方と接触する。第9図では溝 α に隣接し、第6図及び第7図ではG及びSという符号で表わしたゲート及びソース電極を夫々G(3)及びS'で表わしてある。第9図の符号P及びNは夫々N形層 γ 及びP形層 δ を通る電流通路を示す。明らかにこれらの層 γ 及び δ はゲート領域としても働き、接合ゲート形電界効果トランジスタと同じ様様で隣接する層 γ 及び δ 内の電流の流れ具合を支配する。これらの接合ゲート形トランジスタ構造も第9図に示す。

第10図は第1図の構造を高電圧用バイポーラトランジスタに適用したところを示したものである。この場合溝 α 側ではN形領域 β と電極 β とがバイポーラトランジスタのコレクタとなり、溝 β 側ではP形領域 δ と電極 δ とがベースとなる。交互積層層 γ 及び δ は実効的に真性領域を形成し、領域 β と δ の間のベース-コレクタ接合のベースとコ

レクタに隣接する区域となる。ベース電極 β は溝 α に沿つて存在し、絶縁層 α に形成した窓を介して主表面 β でベース領域 δ に接觸する。またこのベース領域 δ 内にN形エミッタ領域 δ を設け、溝 β の側壁に窓を出すようにし、そこでエミッタ電極 δ にコンタクトさせる。トランジスタがターンオフした時交互積層層 γ 及び δ が少數キャリヤを迅速に排除させるから、この本発明に係るバイポーラトランジスタはスイッチング速度が高く且つ電流及び電圧取扱能力が良好である。

第11図は第1図の構造の修正例であつて、高電圧用ショットキーダイオードとして用いられるものを示したものである。この場合接合形成手段にP形領域 δ ではなく金属層24を用い、この金属層 δ とN形層 γ とで金属-半導体整流接合を形成する。交互積層層 γ 及び δ はショットキーレベル δ が形成するダイオードのアノードと電極 δ 及びN形領域 β が形成するカソードとの間の実効的に真性な領域を形成する。この半導体装置ではショットキーレベル δ がN形層 γ と組んで逆ショットキーレベルを

形成する。このL形ショットキーコンタクトの区域を制御してその逆電流を減らし、これによりpn接合からの少數キャリヤ効果が生ずるのを抑止するのが嬉しい。これは溝22に沿つて間隔を置いて溝22の側壁に鋼を出す付加的なL形領域31を設けることにより実現できる。このようなL形領域31の厚さを第1図では点線で示した。L形領域31が存在する場所では層32が溝22の側壁と接触しないことになる。そしてL形領域31同士の間の間隔では交互積層層21及び22が保護遮断する。

第4図ないし第10図の半導体装置でも同じような溝に形成するショットキーパ接合を使えることを理解されたい。このようにして例えば本発明に係る接合ゲート形電界効果トランジスタにショットキーゲートを持たせたり、本発明に係る絶縁ゲート形電界効果トランジスタにショットキーソースとショットキードレインとを持たせることができる。

第6図ないし第8図の電界効果トランジスタでは溝22の内側にゲート電極を位置させているが、

21及び22内の基板10とソース領域14及びp形領域15との間の部分の電界を一層一様にする代替手段を提供する。このような第8図のトランジスタの修正例を第12図に示すが、これは絶縁体基板20を有し、この上に半導体メサとして交互積層層21及び22がのつている。

第13図は本発明半導体装置の別の形態の一例を示したもので、こゝでは交互積層層21及び22が半導体本体1の主表面に平行ではなく垂直に走っている。主たる半導体領域23、24等及び電極25、26等はこゝでは半導体本体1の両側の主表面27及び28に別かれて位置する。このような構造は低オーミツクL形基板29上に高抵抗率のp形エピタキシャル層を設けることから出発して作ることができる。そして基板29の主表面の傾き方向が<110>である場合は半導体材料がシリコンの時は既知の様様で異方性エッティングを用いてエピタキシャル層内に切り立つた側面を有する溝を形成し、このエッティングをこれらの溝が基板29に達する迄続ける。次にこれらの溝を溝たすようにL形材料をエ

所置とあらばこれらのゲート電極を溝22の外側に位置させ、ソース電極26と並行して延在させてもよい。このようにして第6図及び第8図の電界効果トランジスタのゲート電極26を主表面27でゲート領域23と接觸させることもできる。同じようにして主表面27でゲート電極26の下に当り且つチャネルが容積的に作られている領域23の表面に隣接する部分の上に薄いゲート絶縁層20を設けることもできる。しかし、このようなゲート電極とソース電極とが開通する溝の外側で並んで存在する構造は半導体装置本体の主表面の面積を大きくする必要がある点で魅力に乏しい。この代りの構造はソース電極を溝22内に設けゲート電極26及び28を溝22の外側に設けるものである。

第9図及び第10図並びに第6図及び第7図のトランジスタで半導体基板10を用いる代りに例えばサファイアのような単結晶絶縁基板の上に交互積層層21及び22を設けると殊に好適である。このような単結晶絶縁基板は交互積層構造21及び22内の電気力線に対する反射境界を提供し、交互積層層

ピタキシャル成長させて領域22を形成する。この時既のp形エピタキシャル層の残存している部分が領域22を形成する。これらの領域22とのドーピング濃度と幅とは上記エッティングとエピタキシャル成長とにより決まるが、空乏化によりこれらの領域内に形成される空間電荷がほぼバランスし、アバランシ障壁が起る臨界値を越えないように達ぶ。他の半導体領域と電極、殊に領域23とその接続電極(第13図の符号24)は既知の様様で例えばイオン注入、リトグラフィ及びエッティング技術を用いて上記の構体物内及び上に設けることができる。

このような形態の主表面27に対し垂直な領域21及び22を有する構造の半導体装置は本発明に係る種々のタイプの高電圧半導体装置、例えば電力用整流器、バイポーラトランジスタ並びに接合ゲート形及び絶縁ゲート形電界効果トランジスタで用いることができる。第13図は絶縁ゲート形電界効果トランジスタに適用したところを示したもので、基板29と背面電極26とがドレインを形成する。P

形領域II内にN形ソース領域16を設け、両領域II及び16を主表面よりソース電極26にコンタクトさせる。ドレイン領域IIの電気的に並列な拡張部を形成するN形領域IIの側面とソース領域16との間の区域では薄いゲート絶縁層25上に導電性のゲート電極がを設ける。またドレイン及びソースからゲート電極25の極の下迄夫々低ドープN形領域II及び16を形成させる。

第13図では各N形領域IIを領域IIと並列させ、帽をほぼ同一とするが、領域IIの方を幅広くし、領域II及び16を狭くするかそのいずれか一方を行なうとともにできる。このようにして例えば各N形領域IIを少なくとも2個のN形領域IIと中間N形領域IIとの上にのせることもできる。

第14図は第13図の構造の半導体装置の(本発明に係る)一例正例を示したものであり、こゝでは各N形領域IIを切り立つた構造で二部に分かれている。これらのN形領域IIは異方性エッチングを用いてN形エピタキシャル層内に溝をエッチングした後ドーパントを拡散させて形成することができる。

つて接続されて逆並列回路となり、交互に積層される第1と第2の領域とが一方の回路要素の電気的に並列な電流路とこれにはさまれた相補回路要素の電気的に並列な電流路とを有する。もう一つの例はn-p-nトランジスタとp-n-pトランジスタとを組み立てるサイリスタである。所調とあらばこのようなサイリスタはP形ベース領域とN形ベース領域とに対し別個のゲート電極を有するようにすることができる。

各図面の簡単な説明

第1図は本発明に係る半導体装置の一例の一部の説明用断面斜視図、第2図はその略式平面図、第3図は本発明に係る多数チャリヤ装置の直列抵抗率と降伏電圧の関係を示すグラフの図、第4図は本発明に係る接合ゲート形電界効果トランジスタの断面斜視図、第5図はその断面図、第6図は本発明に係るNチャリヤ絶縁ゲート形電界効果トランジスタの断面斜視図、第7図はその断面図、第8図はPチャリヤ絶縁ゲート形電界効果トランジスタの断面斜視図、第9図は第6、7図のNチャ

チャリヤ領域IIのドーピング濃度と厚さをこれらの2部に分離された領域II間に生ずる正の空間電荷が領域II内の負の空間電荷とほぼバランスするようにならぶ。溝の側壁上には絶縁層25と抵抗層24の両方を形成させる。そして抵抗層24をトランジスタのゲート32と基板ドレイン10とに接続して領域IIに生ずる静電界を遮断させ、トランジスタのチャリヤ区域とゲート32とに隣接する領域IIの端でのこの電界の強さを下げる電界解放手段を形成する。この抵抗層24は高抵抗率の多結晶シリコンを用い、高ドナー濃度でチャリヤ区域上と溝の底との双方に局的にドーピングさせるとにより作ることができる。この時チャリヤ区域上のドーピングにより抵抗層24の一部としてゲート32が形成され、溝の底のドーピングにより絶縁層25の底で抵抗層24と基板10の間の接続が良好になる。

第8図及び第9図及び第7図は本発明半導体装置の一例を示すもので相補導電形の2個の回路要素を具す。これらの2要素が前記本体部を接切

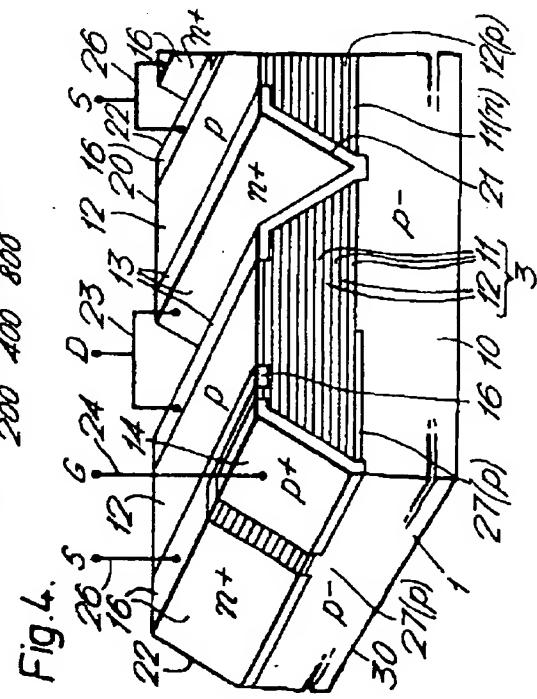
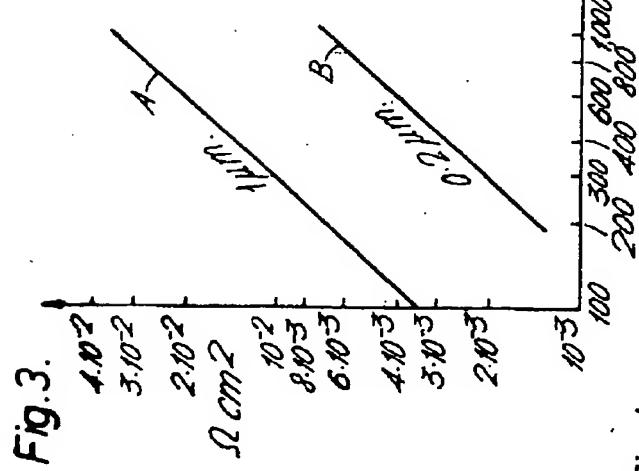
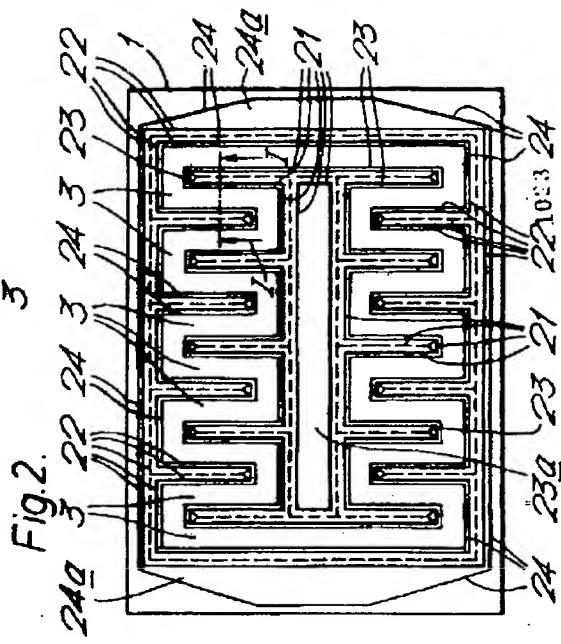
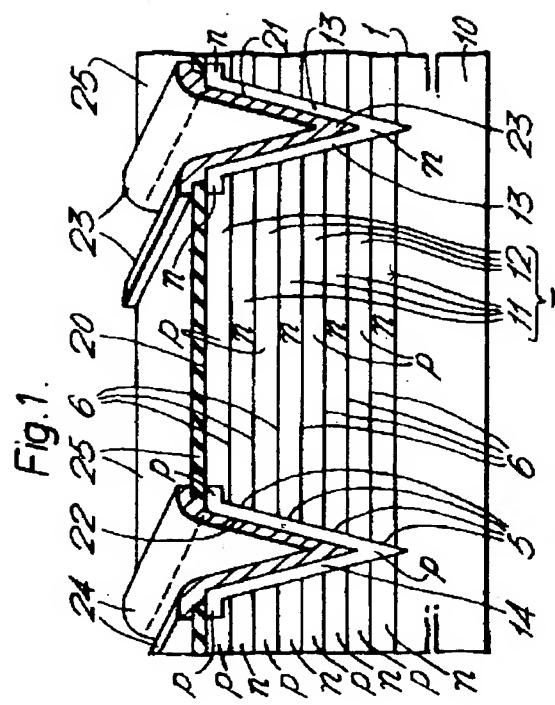
チャリヤ電界効果トランジスタと第5図のPチャリヤ電界効果トランジスタの両方を有する半導体装置の等価回路図、第10図は本発明に係るバイポーラトランジスタの断面図、第11図は本発明に係るショットキー整流器の断面図、第12図は絶縁基板を有する実施例の断面図、第13図はもう一つの構造の本発明絶縁ゲート電界効果トランジスタの断面図、第14図はもう一つの構造の絶縁ゲート形電界効果トランジスタの断面図である。

1…半導体本体、2…空乏化される本体部、3…接合、II…第1の領域、12…第2の領域。

特許出願人 エヌ・バー・フライツブス・フルーランベンラブリケン

代理人弁理士 杉 村 聰

同 弁理士 杉 村 聰



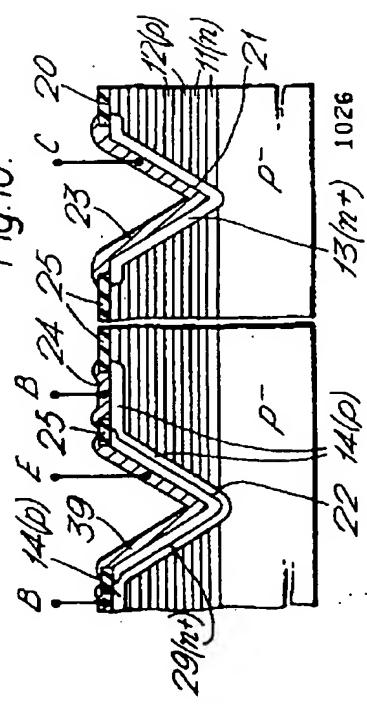
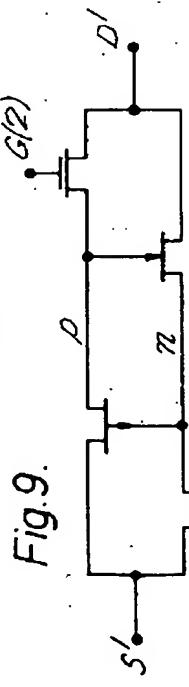
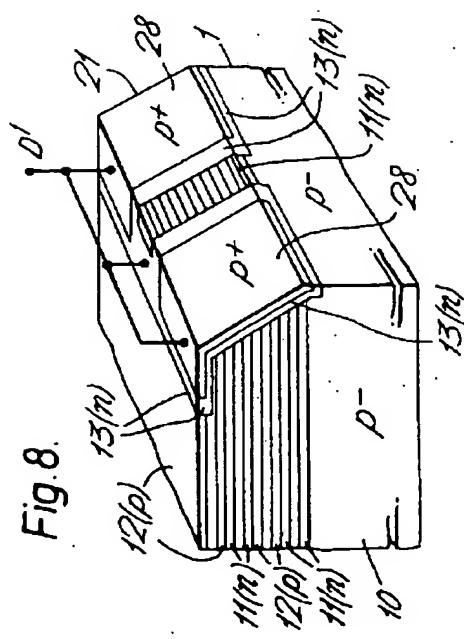
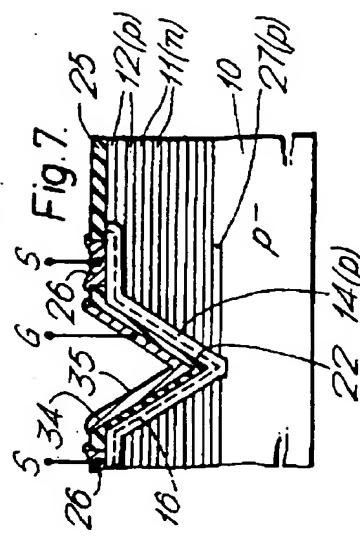
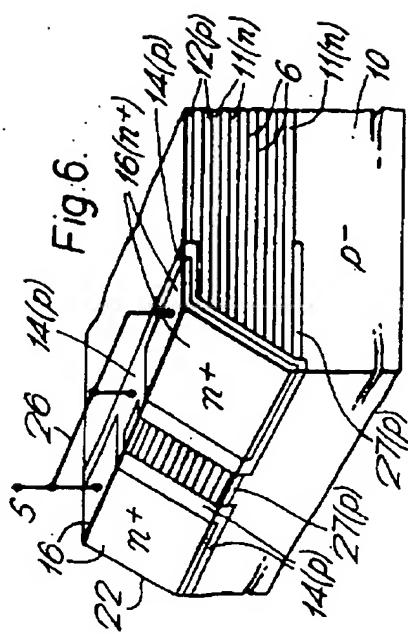
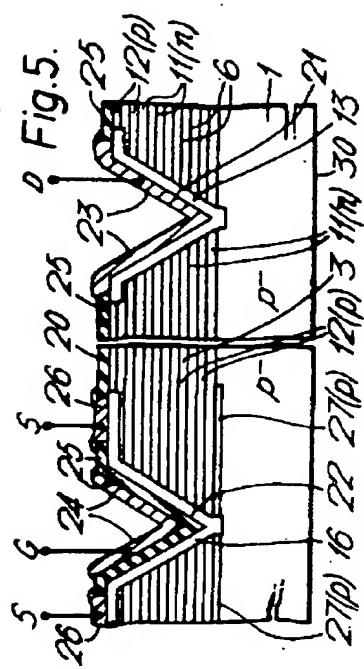


Fig. 11.

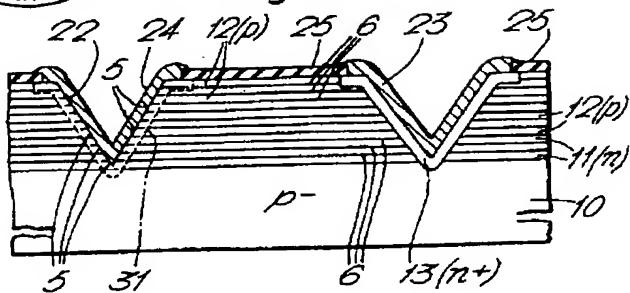


Fig. 14.

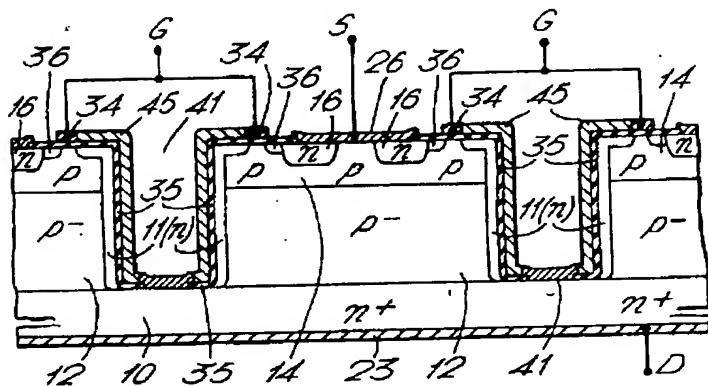


Fig. 12.

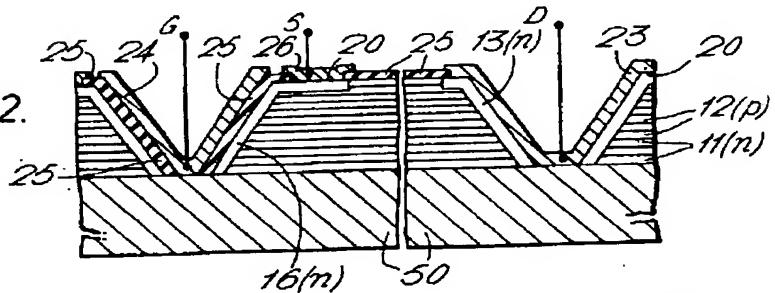


Fig. 13.

